

# Compensarea și mascarea erorilor în conceptul DALG-II

Ion COJOCARU, Luca ȘERBANAȚI, Bujor PĂVĂLOIU, Alexandru Radovici, Andrei Vasiloteanu

*The University "Politehnica" Bucharest,*

*Spl. Independenței 313, RO 077206, Facultatea de inginerie cu predare în limbi străine, București  
i\_coj@yahoo.fr*

**Abstract** - Functionality increase led to maximizing of the integrated circuits (IC) complexity. The time for test generation reached up to 10-15 months, and some of the faults of the combinational circuits (CC) with convergent fan-outs (CFO), according to [1], could not be generated within the frame of DALG-I concept for activation the unique path in the circuit. For overrunning this impasse, development of the new efficient test generating algorithms was proposed; these algorithms should diminish the number of the tests and the time needed for their generation. Schneider [1] brought an example of CC with CFO – for the fault  $6 \equiv 0$  the test could not be generated based on the DALG-I concept of unique path activation, even if this test exists. As a result, the algorithm DALG-II of test generation [2] was proposed based on the simultaneous activation of all the CFO paths. DALG-II is an efficient algorithm, well formalized mathematically, allowing generation of the tests in all the cases when it is possible. These advantages of DALG-II compared to DALG-I should not undermined the fact that DALG-I is based on the singular constant error method (SCE) and activation of the single path through CC, while DALG-II is based on simultaneous activation of all FOC paths and implicit it is based on the model of multiple constant errors (MCE). At the same time, DALG-I allows obtaining of diagnosis tests, while DALG-II allows obtaining only the fault detection tests. More than that, in DALG-II and MCE case the faults interaction could occur, as well as fault compensation and/or fault masking. The paper presents the results of an interaction study in case of MCE and simultaneous activation of all CFO paths.

**Index terms:** fault compensation, fault excitation, fault masking, fault propagation, test generation.

## INTRODUCERE

Cerințele permanente de extindere a funcționalității CI conduceau la creșterea complexității acestora, gradului de dificultate de generare a testelor și timpului de generare, care putea depăși 1 an. Schneider [1] a adus un contra exemplu de CC cu FOC, eroarea  $6 \equiv 0$  a căruia nu putea fi detectată în baza metodei de activare a unei căi (MAUC), deși testul exista. Cauzele ineficienței MAUC au fost puse pe seama principiului de activare a unei căi. Ca urmare, a fost argumentată necesitatea elaborării unor algoritmi eficienți de generare a testelor, care ar permite depășirea situațiilor descrise în [1]. Roth [2] a modificat algoritmul DALG-I de generare a testelor, formalizând operațiile matematice de calcul a cuburilor de intersecție D pentru cazul activării simultane a tuturor căilor posibile de la conexiunea FOC, prin poarta logică (PL) de convergență (PLC), până la toate ieșirile observabile ale CC, ceea ce elimină urmările dezastruoase ale DALG-I [3]. Așa a apărut algoritmul DALG-II [2], eficiența căruia a fost demonstrată în baza generării unui singur test de detectare a erorii  $6 \equiv 0$  [3]. Ulterior eficiența DALG-II a fost confirmată de mai mulți cercetători. Totodată, încă de la apariția DALG-II, au existat îndoieli [3] referitor la corectitudinea unor concluzii privind eficiența în baza generării unui singur test de detectare a unei erori, posibil specifice, pentru CC, posibil special, din [1]. În [4] a fost demonstrat, că CC Schneider este un CC ad-hoc special: atât poarta logică 6, cât și ieșirea acesteia (a

cărei eroare analizată  $6 \equiv 0$  este una specifică) sunt redundante. De asemenea, nu este clar, de ce eficiența DALG-II nu a fost demonstrată și pentru eroarea opusă  $6 \equiv 1$ . Totuși, ne punând la îndoială corectitudinea formalizării matematice și eficiența DALG-II, este necesar de a remarca, că DALG-I și DALG-II se referă la situații complet distincte, care până în prezent nu au fost sau au fost puțin analizate în literatura de specialitate: 1) DALG-I este bazat pe MAUC și pe modelul ECS, acestea conducând la generarea unei mulțimi de teste de diagnosticare; 2) DALG-II este bazat pe activarea simultană a tuturor căilor de la punctul fan-outului (FO), prin PLC, până la toate ieșirile observabile ale CC și, implicit, pe modelul erorii constante multiple (ECM), care conduc la generarea testelor de verificare. Reiese, că modelul ECS și activarea unei singure căi exclud orice interacțiune a erorilor și apariție a efectelor de mascare și compensare a erorilor [5]. Sau anume interacțiunea ECM a CC cu FOC cu parități opuse ale semnalelor intrărilor PLC constituie surse potențiale de apariție a efectului de compensare sau/și mascare a erorilor.

## I. GENERALITĂȚI

În lucrare sunt utilizate noțiuni și definiții de bază din [5], iar în caz de necesitate vor fi introduse noțiuni noi.

Principalul obiectiv al testării unui CC este determinat de elaborarea și aplicarea unor procedee

adecvate de verificare a tuturor funcțiilor logice (FL) și modurilor de funcționare pentru efectuarea cărora CC respectiv a fost proiectat. Acest obiectiv poate fi atins doar în cazul când structura digitală a fost proiectată conform metodelor formalizate de minimizare și sinteză, verificarea fiind bazată pe utilizarea unor mulțimi de teste complete și minimale sau quasi minimale. Abandonarea minimizării efective ca proces de fundamental de proiectare a oricărui CC are loc din următoarele cauze:

- 1) minimizarea CC complicate constituie un proces costisitor și de lungă durată;
- 2) efectuarea minimizării necesită calificare foarte înaltă, experiență acumulată în timp, intuiție și tenacitate;
- 3) neglijarea sau neînțelegerea importanței minimizării ca etapă a proiectării CC;
- 4) tendința de stopare a cercetărilor în domeniul minimizării FL, apărută în anii 70 ai secolului XX.

Principalul pericol al neglijării minimizării îl constituie posibila perturbare a funcționalității CC, cauzată de redundanța logică (RL). Totuși, RL poate să apară și ca urmare a prezenței unor conexiuni sau PL inexistente în structura digitală proiectată. De asemenea lipsa unor conexiuni sau PL existente în structura digitală proiectată afectează grav funcționalitatea CC. De aceea procesul de elaborare a testelor trebuie să fie precedat de controlul minuțios al corectitudinii structurii digitale proiectate și al existenței unei corespunderi bilaterale între FL care trebuie realizată și reprezentarea grafică a structurii digitale respective.

Eficiența unui proces de testare a unui CC cu FOC depinde de proprietățile semnalelor logice, de proprietățile funcționale și structurale ale CC și de interacțiunea acestora. Aceste aspecte au fost analizate în [5], de aceea în continuare vom considera doar aspectele specifice modelului ECM și principiului DALG-II de elaborare a testelor, în cadrul cărora pot apărea efecte de compensare și/sau mascare a erorilor.

### I.1. Proprietățile semnalelor și porților logice

În cazul unui CC cu fan-out convergent eroarea singulară a conexiunii fan-outului va fi propagată simultan pe toate căile posibile prin poarta de convergență, conducând astfel la ECM. Această situație necesită o abordare a proprietăților logice a PL diferită de cea, avută în cazul DALG-I și a ECS.

**Definiția 1.** VL a semnalului de intrare care, indiferent de valorile semnalelor celorlalte intrări ale PL, determină în mod univoc semnalul la ieșirea PL se numește VL dominantă (VLD) (de blocare). Vom nota VLD pe conexiunea  $i$  prin

$$i = d, \quad i = \{1, n\}, \quad d \in \{0, 1\}, \quad (1)$$

**Definiția 2.** Aplicarea semnalelor  $d$  la 2 sau mai multe intrări ale unei PL nu schimbă semnalul la ieșirea PL, stabilit în urma aplicării unui VS ce conține un singur semnal  $d$ .

**Definiția 3.** Vectorul stimul (VS)  $ee...e$  al VL ale semnalelor de intrare, căruia îi corespunde unica VL echivalentă (VLE) a semnalului de ieșire  $s$  a PL, se numește set echivalent (omogen) (SE). Vom nota VLE pe conexiunea  $i$  prin

$$i = e, \quad i = (1, n), \quad e \in \{0, 1\}, \quad (2)$$

Spre deosebire de [5], modelul ECM și principiul DALG-II conduc la următoarele proprietăți ale SD:

1) la propagarea pe 2 căi a semnalului, corect sau eronat, al conexiunii FOC, cu parități opuse ale semnalelor de convergență, la intrările  $ij$  ale PLC pot apărea următoarele combinații de semnale:

a)  $ij = de$ , care constituie pentru PLC un subset dominant în cazul absenței erorii. Sensibilizarea celorlalte căi în acest caz este imposibilă: la apariția erorii acest subset dominant va fi modificat -  $ij = ed$ , care de asemenea este un subset dominant. Deci, *testele pentru asemenea erori nu pot fi generate*, de oarece reacția CC va rămâne aceeași atât în lipsa erorii, cât și în prezența acesteia. Acest efect se numește *compensare a erorilor*.

b) cazul  $ij = ed$  este similar cazului precedent.

2) la propagarea pe 2 căi a semnalului, corect sau eronat, al conexiunii FOC, cu parități similare ale semnalelor de convergență, la intrările  $ij$  ale PLC pot apărea următoarele combinații de semnale:

a)  $ij = ee$ , care constituie pentru PLC un VS de VL omogene. La apariția erorilor  $ij = dd$  acestea vor fi detectate;

b)  $ij = dd$ , care constituie pentru PLC un VS de VL dominante. În acest caz combinația  $ij = dd$  conduce la blocarea PLC în starea respectivă și imposibilitatea sensibilizării căilor celorlalte intrări ale PLC.

Efectul de *mascare a erorilor* apare în cazul CCC cu redundanță logică și este cauzat de prezența eronată a unui semnal  $d$  la o intrare a PL, care, prin urmare, conduce la imposibilitatea obținerii setului omogen.

În acest moment suntem în fața unei dileme: proprietățile PL au fost stabilite pentru modelul ECS, iar în cazul CC cu FOC pot apărea erori simultane la 2 sau mai multe intrări. Această situație trebuie corelată cu modelul ECM și principiul DALG-II. O verificare adecvată impune utilizarea unor exemple de CC sintetizate în baza metodelor bine formalizate de minimizare a FL și sinteză a CC.

### I.2. Proprietățile funcționale și structurale ale CC

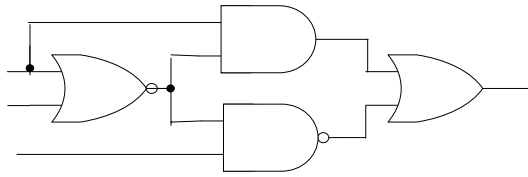
**Funcționalitatea** unui CC este determinată de interacțiunea specifică dintre PL și modul de organizare a intrărilor și ieșirilor CC. Există o corespondență biunivocă între reprezentarea analitică a unei FL și structura numerică, care realizează această FL. Generarea unui test de detectare a erorilor în cazul modelului ECM și principiului DALG-II necesită asigurarea îndeplinirii a două condiții:

- 1) manifestarea (M) erorilor a cel puțin 2 conexiuni bănuite defecte, ceea ce presupune instalarea pe aceste conexiuni a valorilor logice opuse presupuselor erori;
- 2) propagarea (P) simultană a semnalelor FOC prin 2 sau mai multe căi, impusă de DALG-II și modelul ECM, intră în contradicție cu propagarea univocă (PU) a semnalului corect sau eronat prin PLC până la ieșirile observabile. Soluționarea acestor contradicții necesită cercetări suplimentare.

## II. CAPCANELE PROIECTĂRII AD-HOC

Unii autori pentru demonstrarea anumitor aspecte creează CC speciale - "ad hoc". Aceste CC adesea sunt

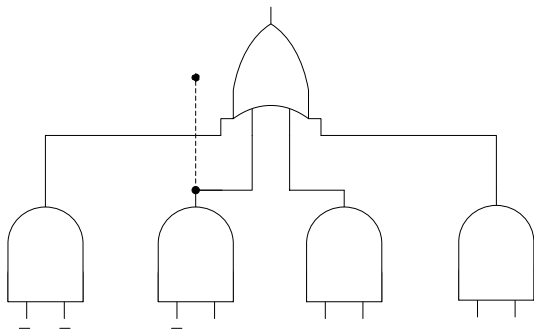
obținute în mod intuitiv și nu în baza metodelor bine formalizate de minimizare a FL și sinteză a CC. Astfel, în [6] (pag. 11, fig. 1.10,a), este considerat un exemplu de CC cu erori nedetectabile  $\alpha=0$  și  $\beta=0$  (fig.1,a). Autorul remarcă că, deși manifestarea erorii  $\beta$  poate fi asigurată prin aplicarea  $ab=10$ , P acesteia este imposibilă, deoarece semnalul  $4^1=0$  blochează PL  $G_5$ , iar testul de detectare a erorii  $\beta=0$  nu poate fi generat. Totodată, testul de detectare a erorii  $\alpha=0$  nu poate fi generat, deoarece condiția de M a acestei erori nu poate fi asigurată. Autorul remarcă că CC din fig. 1,a este redundant și că prezența unei erori nedetectabile poate împiedica detectarea altor erori detectabile. Analiza acestui CC conduce totuși la un rezultat neașteptat: expresia logică reprezintă o poartă SAU cu 3 intrări (fig. 1,b).



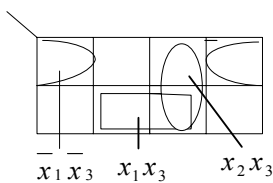
$$f_1 = (\overline{a\overline{b}}) \vee a \vee (\overline{a\overline{b}}) \cdot c = \overline{a} \cdot \overline{b} \cdot a \vee a \vee \overline{a\overline{b}} \cdot c = a \vee b \vee c$$

Fig. 1. CC redundant utilizat în [6] (pag. 11, fig. 1.10,a), pentru demonstrarea prezenței erorilor nedetectabile

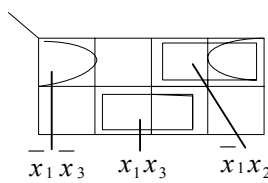
Proiectarea CC "ad hoc" redundante pentru demonstrarea anumitor aspecte ale testării nu este recomandată: aceste aspecte trebuie să fie demonstrate în baza CC proiectate corect. Este interesant, că propagarea erorii  $\beta=0$  conduce la același rezultat ca și în cazul absenței acestei erori, adică la intrările  $1^1$  și  $4^1$  ale PL  $G_5$  are loc un efect de *compensare reciprocă* a erorilor



$$f_2 = \overline{x_1} \overline{x_3} \vee \overline{x_1} x_2 \vee x_2 x_3 \vee x_1 x_3$$



$$f_{21} = \overline{x_1} \overline{x_3} \vee x_2 x_3 \vee x_1 x_3$$



$$f_{22} = \overline{x_1} \overline{x_3} \vee \overline{x_1} x_2 \vee x_1 x_3$$

intrărilor PLC.

Un alt exemplu de proiectare "ad hoc" este utilizat în [6] (pag. 43, fig. 3.1) în scopul introducerii noțiunii de punct de testare pentru observarea erorii nedetectabile  $\alpha=0$  (fig. 2). La aplicarea VS  $x_1x_2x_3=010$  prezența erorii  $\alpha=0$  poate fi observată în punctul de testare (PT). Totuși, următoarele raționamente pun la îndoială această soluție:

1) pe suprafața necesară implementării acestui PT cu tehnologia actuală pot fi amplasate zeci de mii de PL;

2) CC din fig. 2,a este unul redundant: aceasta reiese din diagramele Karnaugh și cele două FL minimale  $f_{21}$  și  $f_{22}$  (fig. 2,b). FL  $f_{22}$  este logic echivalentă FL date  $f_1$ , nu este redundantă, iar prezența erorii  $\alpha=0$  poate fi observată nemijlocit pe conexiunea de ieșire a CC, realizat de  $f_{22}$ , la aplicarea VS  $x_1x_2x_3=011$ , nefiind necesar punctul de testare

În concluzie, pentru a evita situații dubioase recomandările, privind diverse aspecte ale testării, vor fi efectuate doar în baza CC obținute conform metodelor formalizate actuale de minimizare a FL și sinteză a CC.

### III. COMPENSAREA ERORILOR CC CU FAN-OUTURI CU PARITĂȚI OPUSE ALE SEMNALELOR DE CONVERGENȚĂ

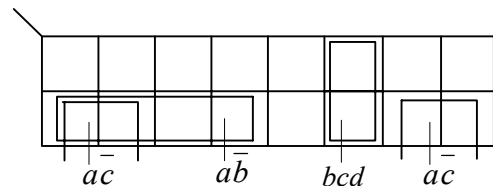
Problema interacțiunii erorilor FOC cu valorile semnalelor dominante și/sau omogene ale PL, în cazul modelului *ECM* și *DALG-II*, va fi soluționată exclusiv în conformitate cu exigențele metodelor bine formalizate de minimizare și sinteză a CC.

#### 3.1. Interacțiunea erorilor fan-outurilor convergente ale CC în cadrul DALG-II

Principiul *DALG-II* este bazat pe activarea simultană a tuturor căilor de la conexiunea FOC, ceea ce conduce la propagarea semnalului corect sau eronat pe mai multe căi, adică în CC pot să apară simultan erori multiple care pot interacționa, conducând la efecte de compensare sau/și mascare a erorilor. Proprietățile structural-funcționale ale FOC cu parități similare sau opuse ale semnalelor convergente pot crea probleme legate de asigurarea condițiilor de M și P în procesul de generare a testelor. Ca urmare, anumite teste de control nu vor putea fi generate.

#### 3.2. Studiul unui CC cu fan-out cu parități opuse ale semnalelor și poartă de convergență de tipul SAU

În scopul generalizării și comparării rezultatelor vom utiliza în procesul de studiu CC respective din [5]. Fie dată FL  $f_3$  din diagrama Karnaugh (fig.3,a).



$$f_3 = \overline{a\overline{b}} \vee \overline{a\overline{c}} \vee bcd = \overline{a\overline{b\overline{c}}} \vee bcd, \quad (3)$$

Fig. 2. Exemplu de CC "ad hoc" [6] (pag. 43, fig. 3.1)

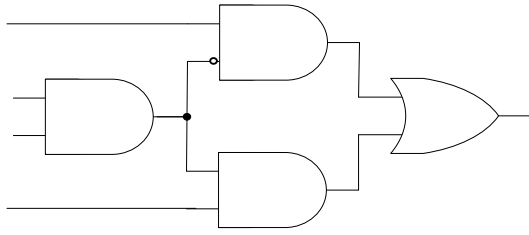


Fig. 3. Sinteza unui CC cu FOC cu parități opuse ale semnalelor de convergență

În conformitate cu metodele formalizate de minimizare și sinteză a fost obținut un CC cu FOC cu parități opuse ale semnalelor și poartă de convergență de tipul SAU (fig. 3,b.). Studiul are ca obiect generarea testelor în cadrul modelului ECM și principiului DALG-II și depistarea cazurilor de imposibilitate a generării a testelor de detectare a unor erori. Fiecare test va fi generat în conformitate cu garantarea condițiilor de M a erorii conexiunii 5 a fan-outului convergent și PU simultană a ECM prin toate căile până la intrările PLC. Rezultatele generării testelor de detectare a erorilor  $5=0$  și  $5=1$  sunt date mai jos, unde  $T_1^c$  și  $T_1^e$  semnifică testul în lipsa și, respectiv, în prezența erorii  $5=0$ , iar  $T_2^c$  și  $T_2^e$  semnifică testul în lipsa și, respectiv, în prezența erorii  $5=1$ .

$$T_1^c =$$

$$T_1^e =$$

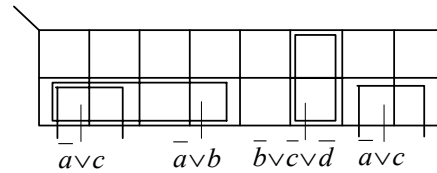
$$T_2^c =$$

$$T_2^e =$$

Testele generate conduc la obținerea aceluiași semnal logic 1 la ieșirea CC, indiferent de tipul erorii sau absența acestora. Acest efect se numește compensare a erorilor și este provocat de prezența în CC a FOC cu parități opuse ale semnalelor convergente și de activarea simultană a tuturor căilor FOC. Din contra, activarea unei singure căi permite generarea testelor.

### 3.3. Studiul unui CC cu fan-out cu parități opuse ale semnalelor și poartă de convergență de tipul ȘI

Pentru a face o concluzie generalizată privind compensarea erorilor vom efectua minimizarea FL  $f_4$  date în diagrama Karnaugh (fig.4,a). În conformitate cu metodele formalizate de minimizare și sinteză a fost obținut un CC cu FO cu parități opuse ale semnalelor și poartă de convergență de tipul ȘI (fig. 4,b). Vom studia procesul de generare a testelor de detectare a erorilor FOC acestui CC



$$f_2 = (\bar{a}vc) \cdot (\bar{a}vb) \cdot (\bar{b}vc\bar{v}d) = (\bar{a}v\bar{b}vc) \cdot ((\bar{b}vc)\bar{v}d), (4)$$

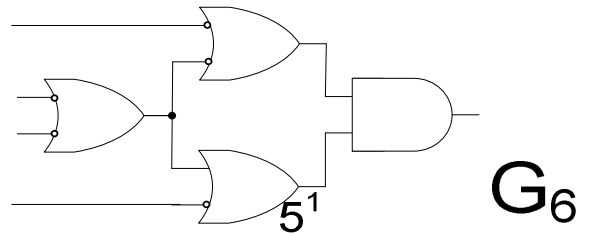


Fig. 4. CC cu fan-out cu parități opuse ale semnalelor și poartă de convergență de tipul ȘI în cadrul modelului ECM și principiului DALG-II. Fiecare test va fi generat în conformitate cu asigurarea condițiilor de M a erorii conexiunii 5 a FOC și PU simultană a ECM prin toate căile până la intrările PLC. Rezultatele generării testelor de detectare a erorilor  $5=0$  și  $5=1$  sunt date mai jos.

$$T_1^c =$$

$$T_1^e =$$

$$T_2^e =$$

$$T_2^c =$$

Analiza testelor generate conduce la următoarele concluzii. Indiferent de tipul erorii sau absența acestora la ieșirea CC va fi obținut același semnal logic 0, ceea ce semnifică faptul, că setul valorilor omogene ale semnalelor nu poate fi obținut la intrările PLC ȘI. Din contra, un set dominant este înlocuit de alt set dominant atât la prezența erorii, cât și în cazul semnalelor corecte. Acest efect se datorează faptului că aceiași eroare se propagă simultan pe căi cu parități opuse ale semnalelor de convergență și ajung în permanență în contra fază la intrările PLC. Deci, acest efect de *compensare a erorilor* este provocat de prezența în CC a FOC cu parități opuse ale semnalelor convergente și de activarea simultană a tuturor căilor FOC.

#### IV. CONCLUZII

În cadrul principiului DALG-II și a modelului ECM în CC cu FOC cu parități opuse ale căilor de propagare a semnalelor convergente apare efectul de compensare a erorilor, care face imposibilă generarea testelor.

#### REFERENCES

1. Schneider P. R. On the Necessity to Examine D-Chains in Diagnostic Test Generation – An exemple, IBM Journal of Research and Development, vol. 11, No.1, p. 114-115, 1967.
2. Roth J. P., Bouricius W. G., Schneider P. R. Programmed Algorithms to Compute Tests to Detect and Distinguish Between Failures in Logic Circuits. - IEEE Trans. On Electronic Computers, vol. EC-16, No. 5, p. 567-579, 1967.
3. Chang H. Y., Manning E., Metze G. – Fault diagnosis of digital systems. – Wiley-Interscience, New York, London, Sydney, Toronto, 1970.
4. Cojocaru I. Redundanța logică a circuitului contraexemplului Schneider. - În curs de apariție
5. Cojocaru și a. Aspecte ale generării testelor în conceptul DALG-I- În curs de apariție
6. Parag K. Lala. An Introduction to Logic Circuit Testing, 2009. ISBN: 9781598293517 ebook  
A Publication in the Morgan & Claypool Publishers series (pag.11, fig. 1.10) [www.morganclaypool.com](http://www.morganclaypool.com)